



Mikroprocesorová technika

Prednáška č. 8

Sériové komunikačné rozhrania – úvod

Sériové periférne rozhranie SPI

Univerzálne sériové rozhranie USI na MSP430

SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE

FAKULTA ELEKTROTECHNIKY A INFORMATIKY

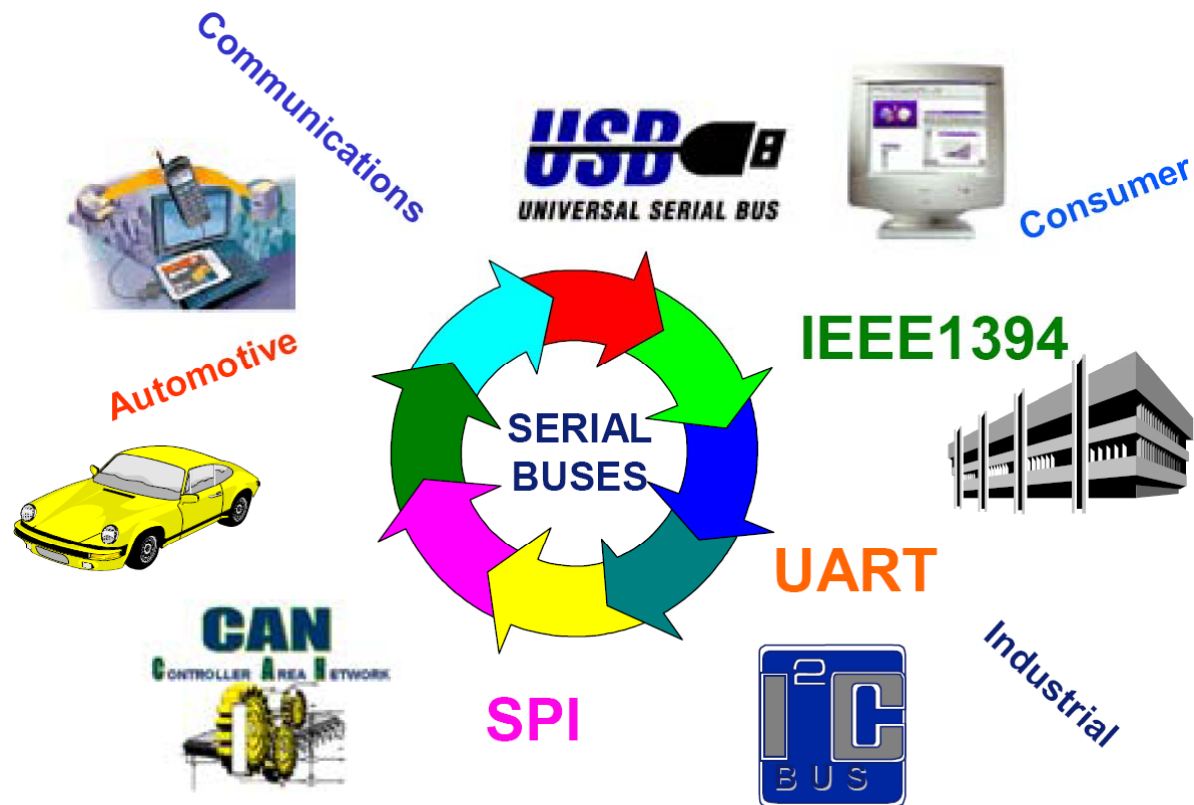
KATEDRA RÁDIOELEKTRONIKY

Laboratórium DSP a mikroradičov



:: Prehľad sériových zberníc

S T U . .
.
. F E I .
.





:: Prehľad používaných sériových zberníc

RS-232 - nízka prenosová rýchlosť, štandardná implementácia sériového rozhrania v PC

RS-485 - poloduplexná zbernica umožňujúca komunikáciu na veľké vzdialenosti - až do 1200m

USB (Universal Serial Bus)

FireWire (IEEE 1394)

Ethernet

PCIe (Peripheral Component Interconnect Express)

Sériové komunikačné rozhranie (Serial Communication Interface - SCI)

Sériové periférne rozhranie (Serial Peripheral Interface - SPI)

I2C

CAN (Controller–area network) - štandardná sériová zbernica v automobilovom priemysle

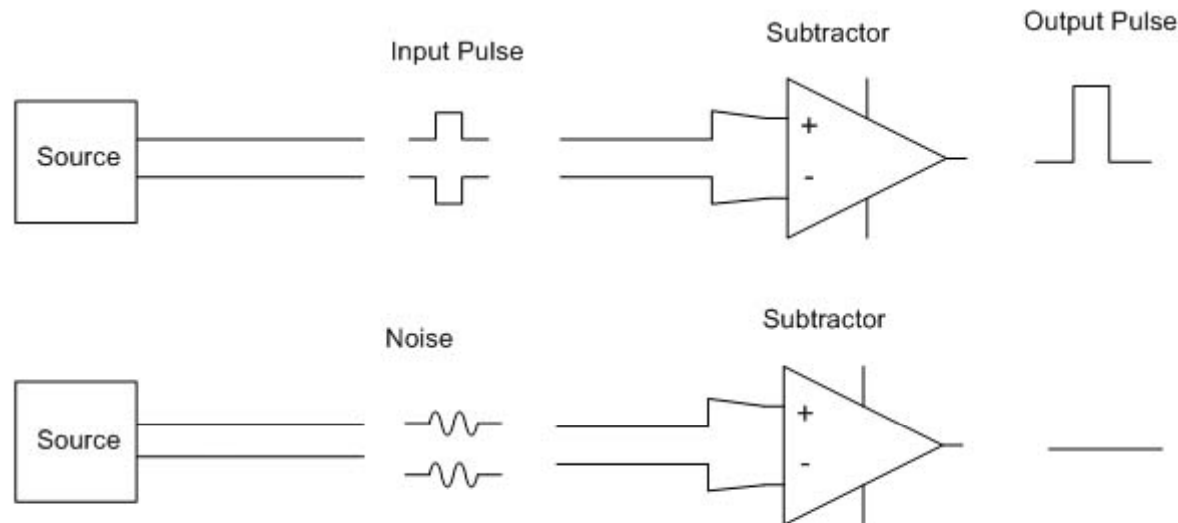
LIN (Local Interconnect Network) - štandard v automobilovej elektronike



:: Diferenciálny prenos signálu

Metóda prenosu informácie dvomi komplementárnymi signálmi prostredníctvom dvoch nezávislých vodičov. Používa sa v analógových aj digitálnych systémoch.

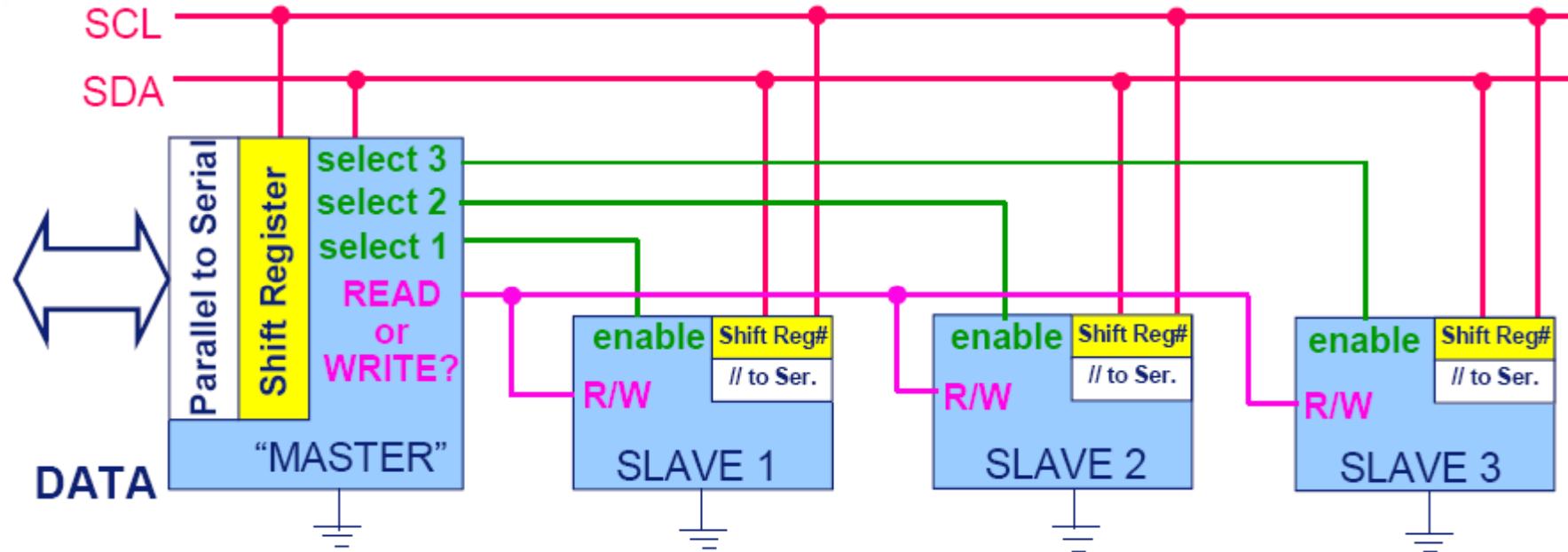
Typickými sériovými zbernicami s diferenciálnym prenosom signálu sú:
RS-485, Ethernet (verzie využívajúce krútené dvojlinky), PCIe a USB





S T U . .
.
. F E I .
.

:: Všeobecný koncept sériovej komunikácie



Zbernica typu **master/slave**

- zbernica, na ktorej je jedno zariadenie nadriadené a ostatné sú mu podriadené. Obvykle sa jedná o synchronné zbernice, keďže master často poskytuje hodinový signál.

Zbernica typu **multi-master**

- jedná sa o zbernicu typu master/slave, ktorá môže mať viac ako jedno zariadenie master. Takéto zbernice musia mať tzv. arbitrážnu schému, ktorá rieši konflikty na zbernici v prípade, že viac ako jeden master chce riadiť zbernicu v rovnakom čase.

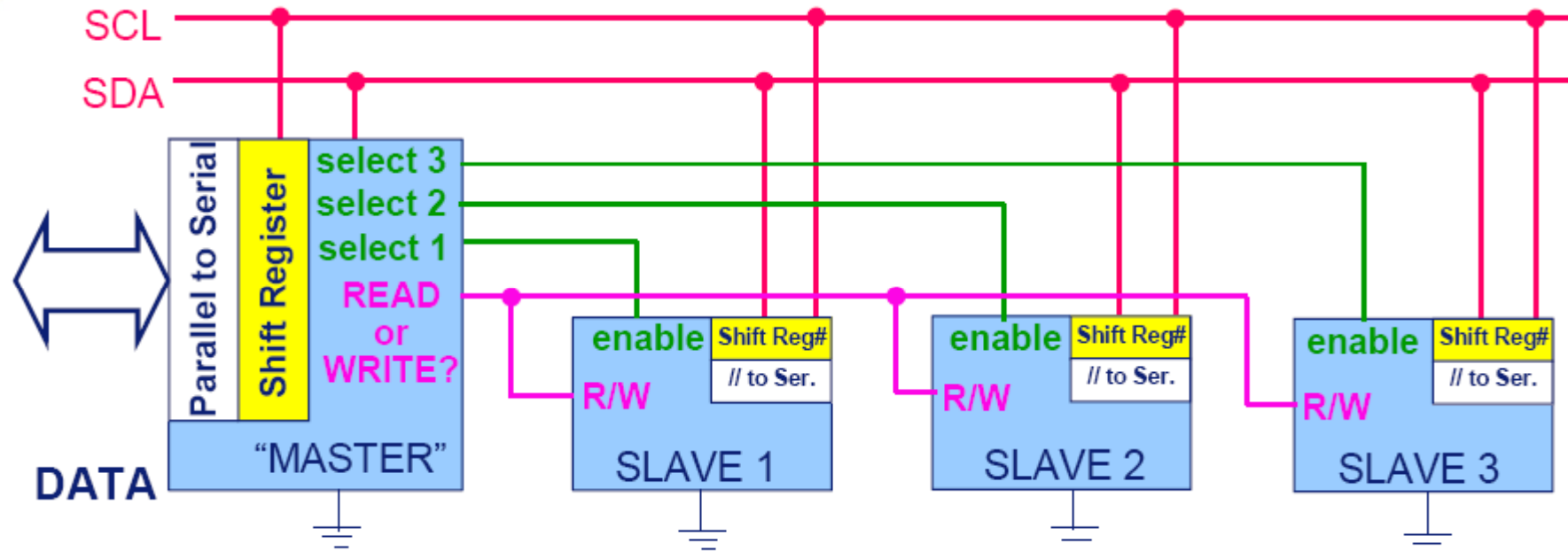
Zbernica typu **point-to-point (peer interfaces)**

- zbernica, na ktorej komunikujú medzi sebou dve zariadenia, pričom nie je dané, ktoré zariadenie je master a ktoré slave. Takéto zbernice sú najčastejšie asynchrónne.



S T U . .
.
. F E I .
.

:: Všeobecný koncept sériovej komunikácie



- komunikácia typu „point-to-point“ nevyžaduje riadiaci signál výberu
- asynchrónna komunikácia nevyžaduje hodinový signál
- dátový signál, riadiaci signál výberu a signál čítanie/zápis môžu zdieľať ten istý vodič v závislosti od implementovaného protokolu
- obvody „slave“ nemôžu komunikovať medzi sebou navzájom, jedine prostredníctvom obvodu „master“
- komunikáciu môže začať iba master



:: I2C a SPI



- sériové komunikačné protokoly
- používajú sa pri komunikácii na krátke vzdialenosti, napr. medzi obvodmi na DPS (inside the box)
- nízka zložitosť
- nízka cena
- nízka rýchlosť (max. niekoľko Mbps)



Sériové periférne rozhranie – SPI



:: SPI – úvodné poznámky



- skratka pre “Serial Peripheral Interface”
- protokol bol definovaný firmou Motorola v produktovej línii mikroradičov MC68HCxx
- vo všeobecnosti je táto zbernica rýchlejšia než I²C; je schopná komunikovať rýchlosťami do niekoľkých Mbps

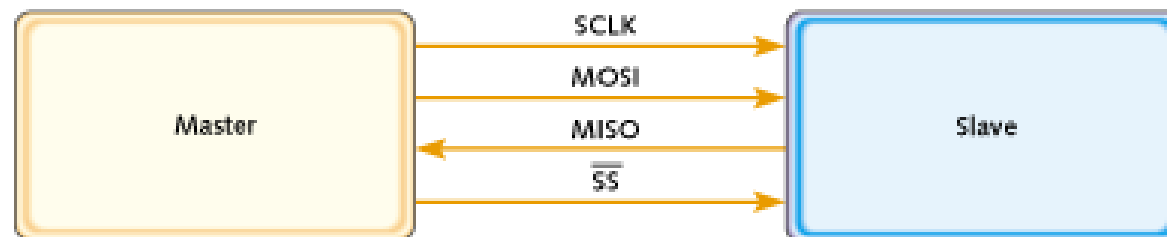
Aplikácie:

- SPI je zbernica vhodná pre dlhšie dátové toky, napr. v prípade AD a DA prevodníkov
- umožňuje plne duplexnú prevádzku, napr. komunikáciu medzi kodekom a digitálnym signálovým procesorom



:: SPI – konfigurácia zbernice

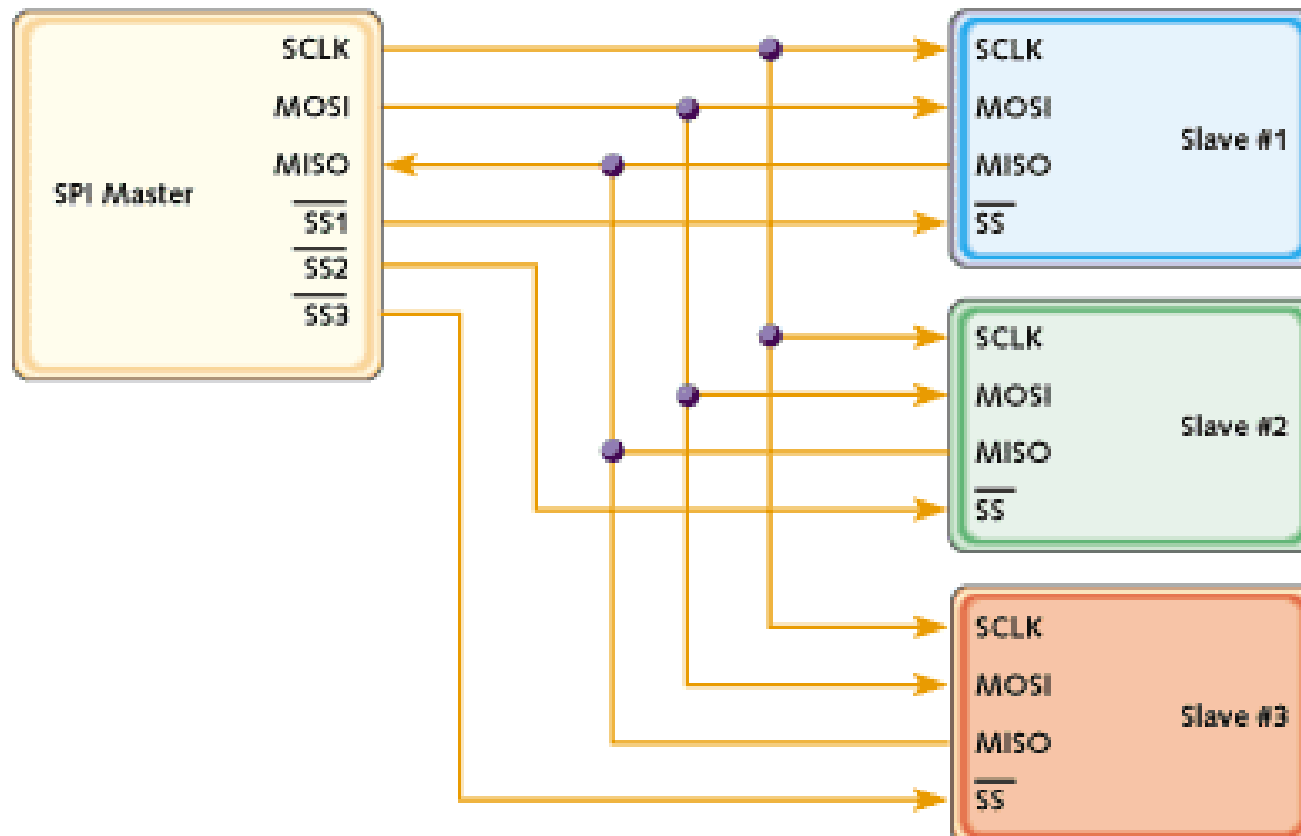
- synchronná sériová plne duplexne pracujúca zbernica
- vzťah typu master/slave
- 2 dátové signály:
 - *MOSI (alebo SIMO, SDO) – master data output, slave data input*
 - *MISO (alebo SOMI, SDI) – master data input, slave data output*
- 2 riadiace signály:
 - *SCLK – hodinový signál*
 - */SS – výber podriadeného obvodu (bez adresovania)*





:: SPI – konfigurácia zbernice

- pri komunikácii typu point-to-point, predstavuje SPI jednoduché a lacné riešenie
 - *menšie náklady, plný duplex*
- pri viacerých podriadených obvodoch potrebuje každý z nich vlastný signál výberu
 - *zložitejšie hardvérové riešenie než I²C*





Univerzálne sériové rozhranie USI na MSP430



:: USI - úvod



- modul USI predstavuje **hardvérovú podporu pre riešenie sériovej komunikácie**
- v prvom priblížení je možné si modul USI predstaviť ako 8 - 16-bitový posuvný register, ktorý používame na výstup dát a s minimálnou softvérovou podporou tak môžeme implementovať sériovú komunikáciu
- modul USI zahŕňa hardvérovú podporu pre jednoduchšiu implementáciu sériových zberníc SPI and I2C
- modul USI tiež obsahuje systém prerušení pre ďalšie zníženie softvérového zaťaženia pri obsluhu sériovej komunikácie



:: USI - vlastnosti

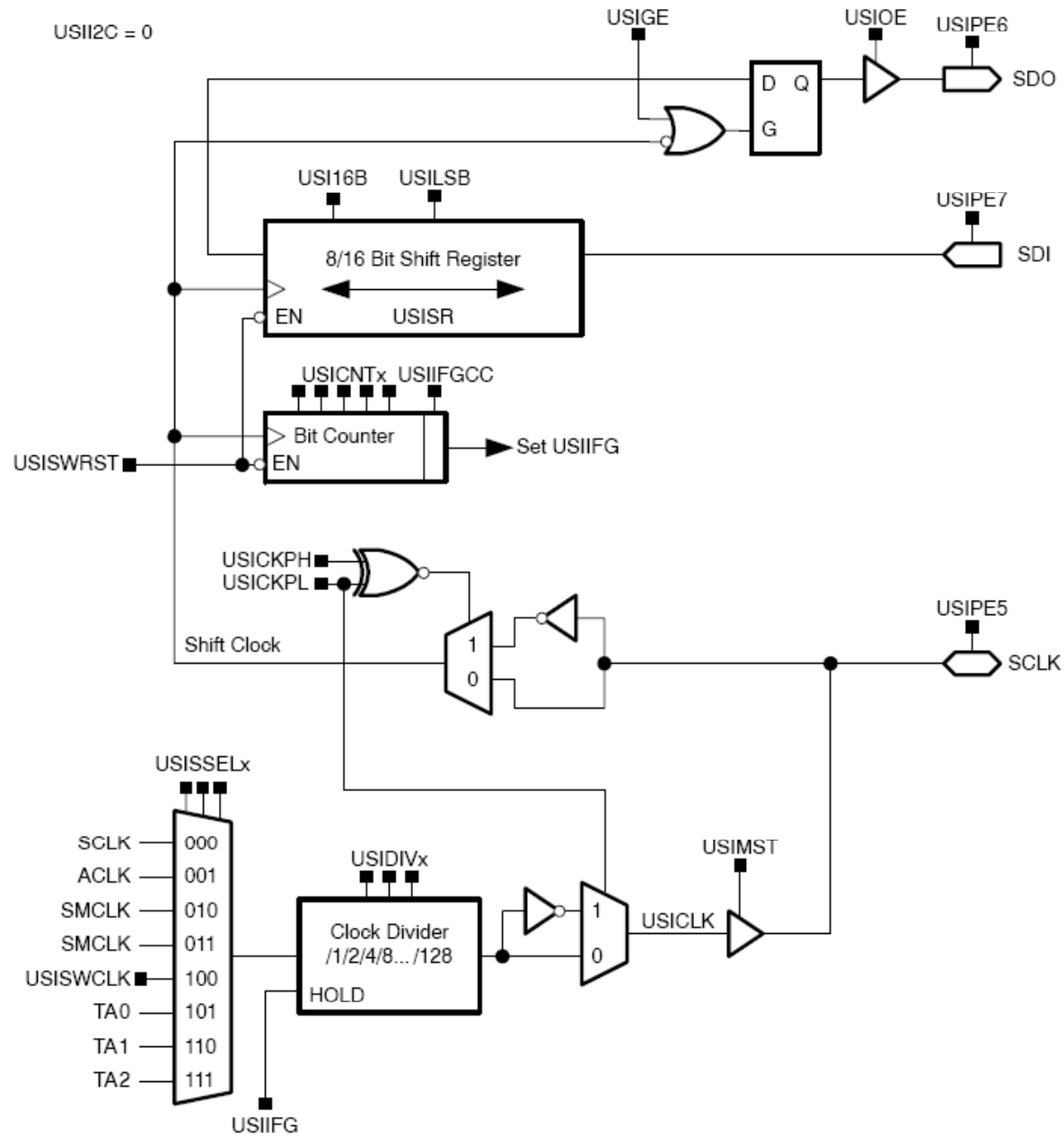


- podpora trojvodičovej zbernice SPI (SDI, SDO, SCLK)
- podpora zbernice I2C
- variabilná dĺžka dát
- ak je procesor konfigurovaný ako slave, môže sa nachádzať v režime LPM4 – nie je potrebný žiadny interný hodinový signál
- výber poradia posielania bitov (prvý MSB alebo LSB)
- automatická detekcia START a STOP bitu pri režime I2C
- automatická detekcia kolízie pri vysielaní viacerých procesorov v režime master
- programovateľný zdroj hodinového signálu
- voliteľná polarita a fáza hodinového signálu



:: USI v režime SPI – funkčná bloková schéma

S T U . .
.
. F E I . .
.





:: USI - činnosť

- modul USI predstavuje posuvný register a počítadlo bitov, ktoré zahŕňajú logiku podporujúcu SPI a I2C protokoly
- posuvný register modulu USI (USISR), je prístupný aplikačnému softvéru a zapisujeme doň dáta, ktoré chceme vyslať a čítame z neho prijaté dáta
- počítadlo bitov počíta prenesené bity a nastavuje príznak prerušenia USIIFG, keď hodnota USICNTx dosiahne nulu a to či už dekrementáciou alebo priamym zápisom núl do bitov USICNTx
- zápisom hodnoty $USICNTx > 0$ automaticky zmažeme príznak USIIFG, ak $USIIFGCC = 0$, v opačnom prípade nie je stav príznaku USIIFG ovplyvnený
- dekrementácia hodnoty danej bitmi USICNTx sa zastaví v okamihu, keď táto hodnota dosiahne nulu, t.j. nedôjde k podtečeniu na hodnotu 0FFh
- počítadlo bitov aj posuvný register riadi spoločný posuvný hodinový signál
- pri nábežnej hrane posuvného hodinového signálu dôjde k dekrementácii USICNTx a USISR prijme ďalší bit
- záchytný bufer pripojený k výstupu posuvného registra zabezpečuje oneskorenie zmeny na výstupe, ktorá nastane až pri zostupnej hrane posuvného hodinového signálu
- uvedený bufer môžeme vyradiť z činnosti nastavením bitu USIGE, čím dosiahneme okamžitý výstup MSB alebo LSB z registra USISR na pin SDO, v závislosti od nastavenia bitu USILSB



:: USI - inicializácia

- pred začiatkom inicializácie modulu USI je potrebné nastaviť bit softvérového resetu USISWRST
- kým je bit USISWRST nastavený, sú príznaky
 - *USIIFG*,
 - *USISTTIFG*,
 - *USISTP*,
 - a *USIAL*tiež udržiavané v stave resetu
- posuvný register USISR a počítadlo USICNTx nie sú taktované posuvným hodinovým signálom a ich obsah nie je ovplyvňovaný
- aby boli príslušné GPIO piny procesora priradené modulu USI, je potrebné nastaviť príslušné bity USIPE_x v riadiacom registri USI
- toto nastavenie zároveň zachová funkciu pinov nastavenú registrami PxIN a PxIFG, t.j. stále máme možnosť čítať okamžitú úroveň na daných pinoch prostredníctvom registra PxIN a prichádzajúci tok dát môže vyvolať prerušenie na porte pri prechode úrovni



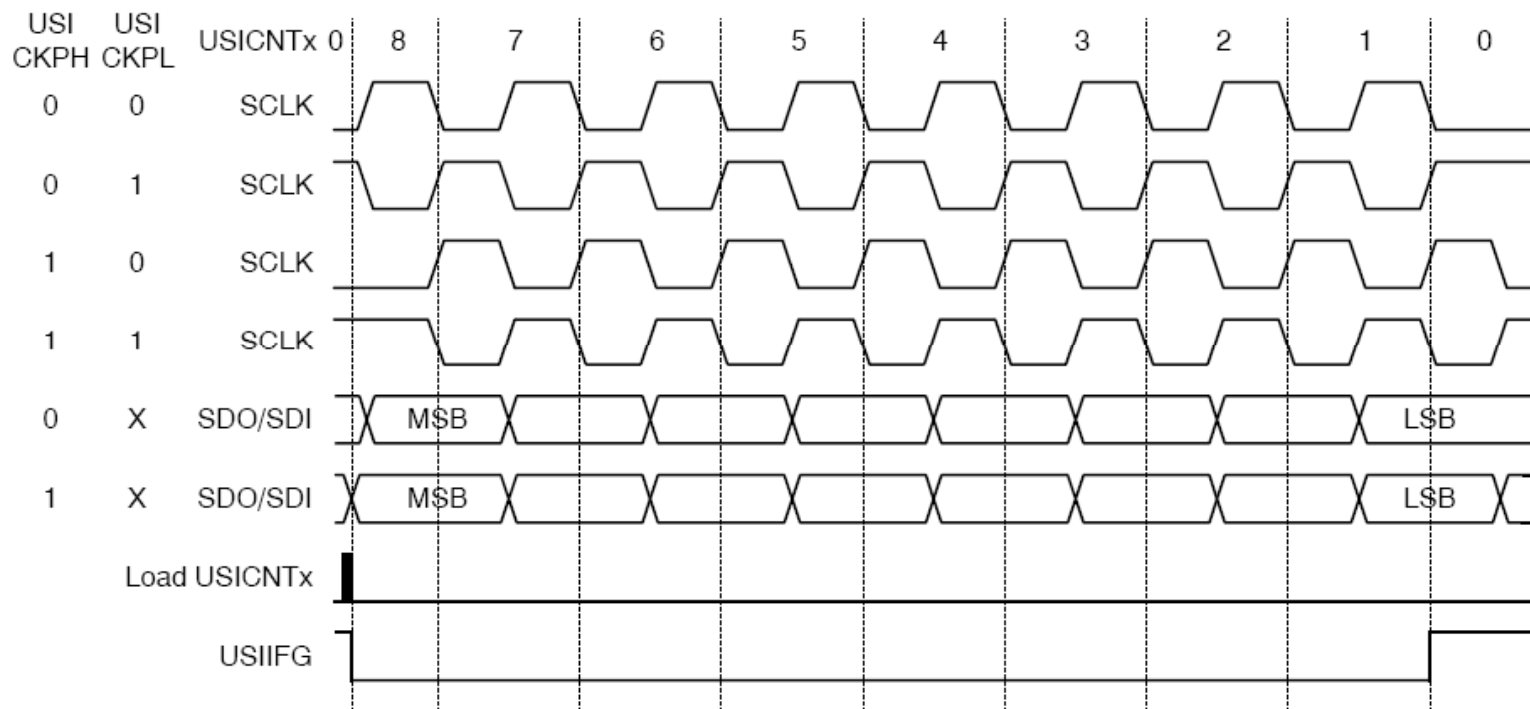
:: USI – generovanie hodinového signálu

- generátor posuvného hodinového signálu obsahuje:
 - *multiplexer pre výber hodinového signálu,*
 - *deličku,*
 - *a možnosť výberu polarity hodinového signálu*
- zdrojom posuvného hodinového signálu modulu USI môže byť:
 - *ACLK,*
 - *SMCLK,*
 - *externý vstup hodín SCLK,*
 - *výstup časovača T_A*
- navyše je možné taktovať modul softvérovo s využitím bitu USISWCLK, keď USISSELx = 100
- bitmi USIDIVx môžeme vybrať deliaci pomer zvoleného zdroja posuvného hodinového signálu $1:2^N$, kde N je maximálne 7
- generovanie hodín USICK, je v prípade nastavenia príznaku USIIFG alebo ak modul USI pracuje v režime slave zastavené
- bitom USICKPL nastavujeme polaritu posuvného hodinového signálu USICK:
 - *keď USICKPL = 0, neaktívna úroveň USICK je nízka*
 - *keď USICKPL = 1 neaktívna úroveň USICK je vysoká*



:: USI – režim SPI: protokol a časovanie

- režim SPI modulu USI nastavujeme bitom USI2C = 0
- riadiacim bitom USICKPL vyberieme neaktívnu úroveň posuvného hodinového signálu a bitom USICKPH vyberieme hranu posuvného hodinového signálu, pri ktorej dochádza k zmene na výstupe SDO a vzorkuje sa stav na vstupe SDI





:: USI – režim SPI master

- modul USI pracuje v režime SPI master, keď:
 - $USIMST = 1$ a zároveň $USI2C = 0$
- procesor, ktorý pracuje na zbernici ako master poskytuje procesoru konfigurovanému ako slave hodinový signál, t.j. je nutné nastaviť zdroj hodinového signálu a nastaviť pin SCLK ako výstup
- keď $USIPE5 = 1$, potom SCLK je automaticky nastavený ako výstup
- keď $USIIFG = 0$ a $USICNTx > 0$, začne generovanie hodinového signálu a master začne vysielat'/prijímať dáta pomocou registra USISR
- prijaté dáta je potrebné prečítať z posuvného registra pred zápisom nových dát určených na vyslanie
- v typickej aplikácii je činnosť obslužného softvéru USI nasledovná:
 - *softvér prečíta prijaté dáta z USISR*
 - *zapíše nové dáta, určené pre vyslanie, do USISR*
 - *povolí ďalší prenos zápisom počtu prenášaných bitov doUSICNTx*



:: USI – režim SPI slave

- modul USI pracuje v režime SPI slave, keď:
 - $USIMST = 0$ a zároveň $USI2C = 0$
- v tomto režime, keď $USIPE5 = 1$ je SCLK automaticky nastavený ako vstup a USI prijíma externý hodinový signál vysielaný master-om
- ak v režime slave modul USI potrebuje vyslať dáta, musia byť tieto zapísané v posuvnom registri USISR predtým ako master vyšle prvú hranu hodinového signálu
- výstup SDO musí byť povolený bitom USIOE
- keď $USICKPH = 1$, MSB bude prítomný na pine SDO okamžite po uložení dát do posuvného registra
- pin SDO môžeme zakázať zmazaním bitu USIOE, toto je užitočné ak slave pracuje v systéme s viacerými slave obvody na jednej zbernici a nie je práve adresovaný
- po prijatí všetkých bitov musia byť dáta prečítané z USISR a nové dáta musia byť uložené do USISR predtým, než slave prijme ďalšiu hranu hodinového signálu z mastera
- v typickej aplikácii je činnosť obslužného softvéru USI nasledovná:
 - *po prijatí dát softvér prečíta register USISR*
 - *zapíše nové dáta určené pre vyslanie do USISR*
 - *povolí ďalší prenos zápisom počtu vysielaných bitov do USICNTx*

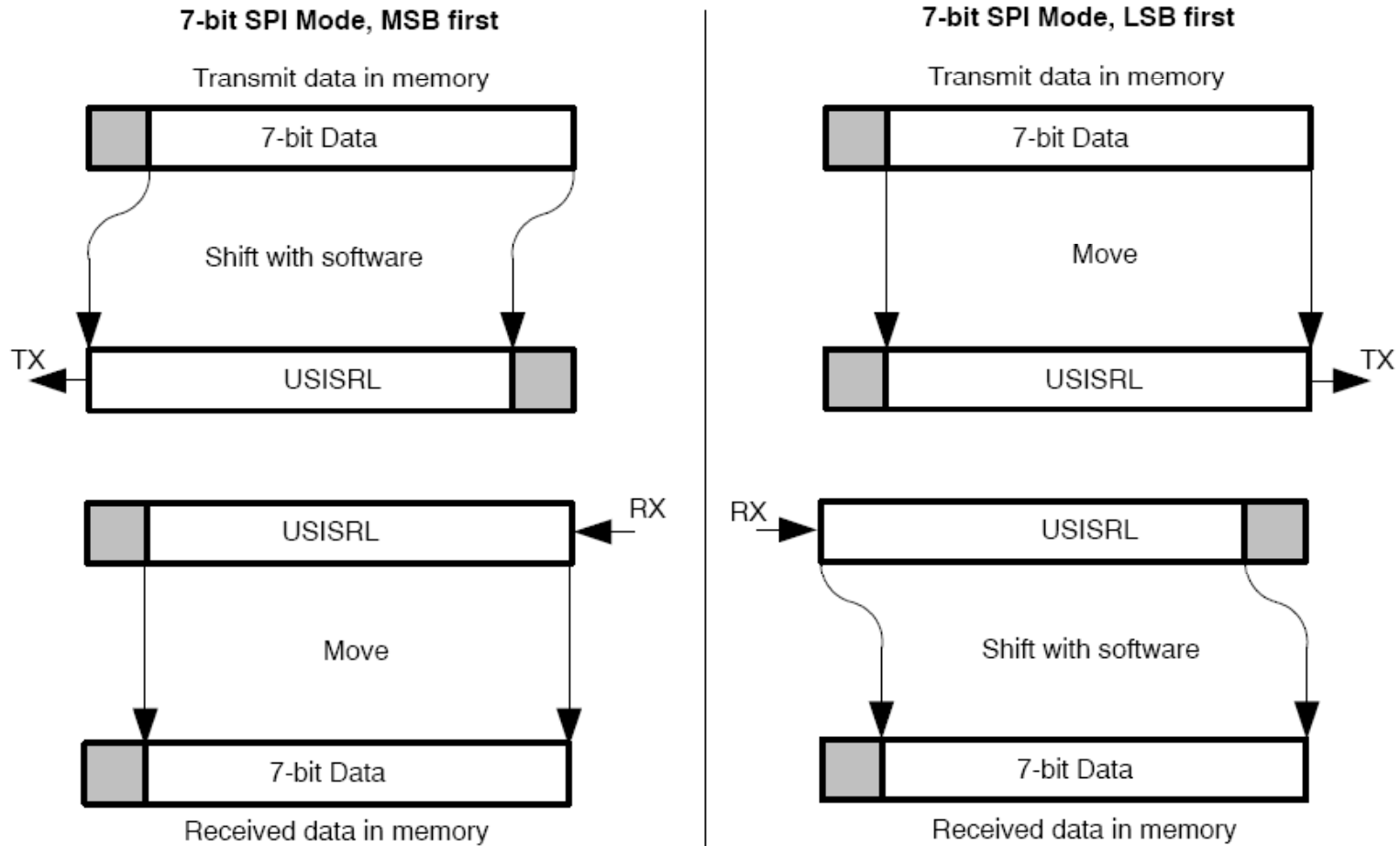


:: USI – činnosť registra USISR

- 16-bitový posuvný register USISR je realizovaný ako dvojica 8-bitových registrov, USISRL a USISRH
- bitom USI16B volíme počet bitov registra USISR, ktoré budú vysielané a prijímané
- keď USI16B = 0, používame iba dolných 8 bitov, t.j. register USISRL
- ak potrebujeme prenášať menej ako 8 bitov, musia byť dáta uložené do registra USISRL tak, aby nepoužité bity neboli vyslané
- dáta musia byť zarovnané podľa MSB alebo LSB podľa nastavenia bitu USILSB
- keď USI16B = 1, prenáša sa všetkých 16 bitov
- ak používame USISR k prístupu naraz k obojm registrom USISRL a USISRH, potom dáta musia byť správne zarovnané ak pracujeme s počtom bitov menej ako 16



:: USI – činnosť registra USISR





:: USI – prerušenia

- s modulom USI je asociovaný jeden vektor prerušenia a jeden príznak prerušenia USIIFG
- ak nastavíme bity USIIE a GIE, potom nastavenie príznaku automaticky bude generovať požiadavku na prerušenie
- k nastaveniu príznaku USIIFG dôjde, keď USICNTx dosiahne hodnotu nula, či už dekrementáciou alebo priamo zápisom núl na pozíciu bitov USICNTx
- k zmazaniu príznaku USIIFG dôjde zápisom hodnoty > 0 na pozíciu bitov USICNTx ak USIIFGCC = 0, alebo priamo aplikačným softvérom



:: Otázky ku skúške



- 1) Uvedte najvýznamnejšie súčasne používané sériové zbernice!
- 2) Ktoré sériové zbernice využívajú diferenciálny prenos signálu, a aká je výhoda takéhoto prenosu?
- 3) Opíšte všeobecný koncept sériovej komunikácie!
- 4) Charakterizujte sériové periférne rozhranie SPI: oblasť použitia, komunikačná rýchlosť, signály zbernice a nakreslite prepojenie procesora pracujúceho v režime master s procesorom pracujúcim v režime slave!
- 5) Nakreslite spôsob pripojenia viacerých procesorov pracujúcich v režime slave k procesoru pracujúcemu v režime master!
- 6) Opíšte základné vlastnosti modulu univerzálneho sériového rozhrania USI na procesore MSP430!
- 7) Nakreslite protokol prenosu dát na zbernici SPI a vysvetlite pojmy fáza a polarita hodinového signálu!



Koniec prednášky č. 8

Sériové komunikačné rozhrania – úvod

Sériové periférne rozhranie SPI

Univerzálne sériové rozhranie USI na MSP430